

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-174145

(43)Date of publication of application : 23.06.2000

(51)Int.Cl.

H01L 21/8247

H01L 29/788

H01L 29/792

H01L 27/115

(21)Application number : 10-345775

(71)Applicant : NEC CORP

(22)Date of filing : 04.12.1998

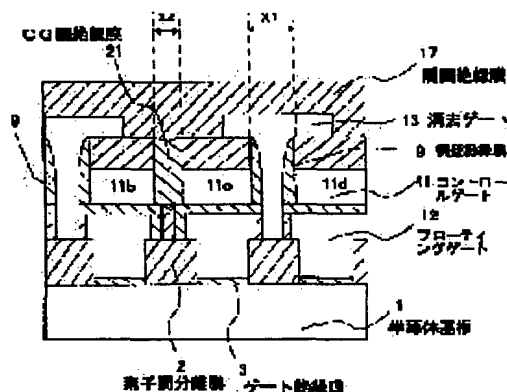
(72)Inventor : KOYAMA KENICHI
HISAMUNE YOSHIAKI
SAITO KENJI

(54) FLASH MEMORY AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a flash memory having high data reliability even when the memory is micromachined and the memory is highly integrated and a method by which the memory can be manufactured with high productivity.

SOLUTION: In a flash memory provided with floating gates 12, stripe-like control gates 11, and stripe-like erasure gates 13 on a semiconductor substrate 1, the control gates 11 are isolated from each other at alternately different intervals $X1$ and $X2$ ($X1 > X2$) and the erasure gates 13 are provided so as to fill up the gaps corresponding to the longer intervals $X1$.



LEGAL STATUS

[Date of request for examination] 04.12.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3144484

[Date of registration] 05.01.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-174145

(P2000-174145A)

(43) 公開日 平成12年6月23日 (2000. 6. 23)

(51) Int.Cl.⁷

識別記号

F I

テマコード* (参考)

H 0 1 L 21/8247

H 0 1 L 29/78

3 7 1

5 F 0 0 1

29/788

27/10

4 3 4

5 F 0 8 3

29/792

27/115

審査請求 有 請求項の数 6 O L (全 15 頁)

(21) 出願番号

特願平10-345775

(22) 出願日

平成10年12月4日 (1998. 12. 4)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 小山 健一

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 久宗 義明

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100100893

弁理士 渡辺 勝 (外3名)

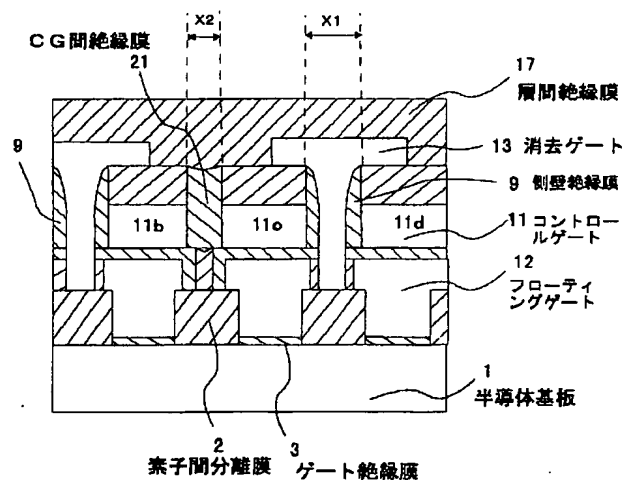
最終頁に続く

(54) 【発明の名称】 フラッシュメモリおよびその製造法

(57) 【要約】

【課題】 本発明は、微細化・高集積化した場合であってもデータの信頼性が高いフラッシュメモリおよびそれを生産性よく製造する方法を提供することを目的とする。

【解決手段】 半導体基板1上にフローティングゲート12、ストライプ状のコントロールゲート11、ストライプ状の消去ゲート13を備えたフラッシュメモリにおいて、前記コントロールゲートが、距離X1と距離X2（但し、 $X1 > X2$ である。）により互いに交互に隔てられており、広い方の距離X1に対応する間隙を埋めるように前記消去ゲートが設けられる。



【特許請求の範囲】

【請求項 1】 半導体基板表面に設けられたソース・ドレイン領域である埋め込み拡散層と、半導体基板表面を区画するストライプ状の素子間分離膜と、この素子分離膜で区画された領域に設けられたチャネル領域と、このチャネル領域の少なくとも一部を覆う島状のフローティングゲートと、このフローティングゲートの上方に絶縁膜を介し前記素子間分離膜と同方向のストライプ状に設けられたコントロールゲートと、このフローティングゲートおよびコントロールゲートと絶縁膜を介して前記素子間分離膜と同方向のストライプ状に設けられた消去ゲートを備え、データの消去が、前記フローティングゲートから前記消去ゲートへの電子引き抜きによって行われるフラッシュメモリにおいて、前記ストライプ状のコントロールゲートは、距離 X_1 と距離 X_2 (但し、 $X_1 > X_2$ である。) により互いに交互に隔てられており、広い方の距離 X_1 に対応する間隙を埋めるように前記消去ゲートが設けられていることを特徴とするフラッシュメモリ。

【請求項 2】 前記距離 X_2 に対応するコントロールゲート間の間隙は、コントロールゲートの側壁に設けられている側壁絶縁膜と同じ材料によって埋められていることを特徴とする請求項 1 記載のフラッシュメモリ。

【請求項 3】 前記距離 X_2 は、前記コントロールゲートの側壁に設けられる側壁絶縁膜の形成時に、側壁絶縁膜の材料で埋められる距離であることを特徴とする請求項 1 記載のフラッシュメモリ。

【請求項 4】 半導体基板表面に設けられたソース・ドレイン領域である埋め込み拡散層と、半導体基板表面を区画するストライプ状の素子間分離膜と、この素子分離膜で区画された領域に設けられたチャネル領域と、このチャネル領域の少なくとも一部を覆う島状のフローティングゲートと、このフローティングゲートの上方に絶縁膜を介し前記素子間分離膜と同方向のストライプ状に設けられたコントロールゲートと、このフローティングゲートおよびコントロールゲートと絶縁膜を介して前記素子間分離膜と同方向のストライプ状に設けられた消去ゲートを備え、データの消去が、前記フローティングゲートから前記消去ゲートへの電子引き抜きによって行われるフラッシュメモリの製造方法において、前記コントロールゲートを、距離 X_1 と距離 X_2 (但し、 $X_1 > X_2$ である。) により互いに交互に隔てられたストライプ状に形成する工程と、隣接するコントロールゲートに対して距離 X_1 で隔てられた側のコントロールゲート側壁に側壁絶縁膜を形成すると同時に、コントロールゲート同士が距離 X_2 で隔てられた間隙をこの側壁絶縁膜の材料と同じ材料で埋め込む工程とを有するフラッシュメモリの製造方法。

【請求項 5】 ストライプ状の素子間分離膜およびゲート

絶縁膜が形成された半導体基板上に、フローティングゲート用のポリシリコン膜を、この素子間分離膜と直交する方向に隣接する 2 つのメモリセルに跨る長方形状に形成する工程と、

このフローティングゲート用のポリシリコン膜の表面に、フローティングゲートーコントロールゲート間絶縁膜を形成する工程と、

前記素子分離膜の上部のフローティングゲート間の間隙を埋め込み用絶縁膜で埋める工程と、

10 表面にコントロールゲート用のポリシリコン膜を成膜し、さらに表面にコントロールゲートー消去ゲート間絶縁膜を形成する工程と、

このコントロールゲートー消去ゲート間絶縁膜の表面に、前記埋め込み用絶縁膜の上部で幅 X_2 、後の工程でフローティングゲート用ポリシリコンをエッチングする部分の上部で幅 X_1 (但し、 $X_1 > X_2$ である。) の開口を有するフォトレジストを形成する工程と、

このフォトレジストをマスクとして、前記コントロールゲートー消去ゲート間絶縁膜およびコントロールゲート用ポリシリコン膜をエッチングし、コントロールゲート

20 を分離形成する工程と、隣接するコントロールゲート同士が広い幅 X_1 で隔てられた側のコントロールゲート側壁に側壁絶縁膜を形成すると同時に、コントロールゲート同士が距離 X_2 で隔てられた間隙をこの側壁絶縁膜の材料と同じ材料で埋め込む工程と、

この側壁絶縁膜に挟まれた開口から、前記フローティングゲートーコントロールゲート間絶縁膜とフローティングゲート用ポリシリコン膜をエッチングし、前記素子間分離膜を露出させ、フローティングゲートを島状に分離形成する工程と、

このフローティングゲートの露出した面にフローティングゲートー消去ゲート間絶縁膜を形成する工程と、

この側壁絶縁膜に挟まれた開口に、消去ゲート用のポリシリコン膜を堆積した後パターニングして消去ゲートを形成する工程と、を有するフラッシュメモリの製造方法。

【請求項 6】 ストライプ状の素子間分離膜およびゲート絶縁膜が形成された半導体基板上に、フローティングゲート用のポリシリコン膜を、前記素子間分離膜とは直交する方向のストライプ状にパターニングする工程と、このフローティングゲート用のポリシリコン膜の表面に、フローティングゲートーコントロールゲート間絶縁膜を形成する工程と、

表面にコントロールゲート用のポリシリコン膜を成膜し、さらに表面にコントロールゲートー消去ゲート間絶縁膜を形成する工程と、

このコントロールゲートー消去ゲート間絶縁膜の表面に、幅 X_1 の開口を有するフォトレジストを形成する工程と、

このフォトリソをマスクとして開口から、前記コントロールゲート消去ゲート間絶縁膜をエッチングし、互いに距離 $X1$ だけ隔てられたストライプ形状にパターンニングする工程と、

このエッチング工程後に、前記コントロールゲート消去ゲート間絶縁膜が除去された間隙から表面に露出した前記コントロールゲート用ポリシリコン膜の表面にエッチングストッパー膜を形成する工程と、

ストライプ状の前記コントロールゲート消去ゲート間絶縁膜の側壁に、コントロールゲート消去ゲート間絶縁膜とは異なる材料により側壁膜を形成し、間隙幅を距離 $X2$ （但し、 $X1 > X2$ である。）まで狭める工程と、

ストライプ状の前記コントロールゲート消去ゲート間絶縁膜の間隙を、一本おきに覆うフォトリソを形成する工程と、

このフォトリソで覆われていない部分の、コントロールゲート消去ゲート間絶縁膜の側壁に設けた前記側壁膜を除去して、コントロールゲート消去ゲート間絶縁膜の間隙幅を $X1$ とし、この幅 $X1$ の間隙から前記コントロールゲート用ポリシリコン膜を、前記フローティングゲートコントロールゲート間絶縁膜に達するまでエッチングする工程と、

このエッチング工程で使用したレジストを除去し、次に幅 $X1$ の方の間隙を異なるフォトリソで覆い、前記の幅 $X2$ の間隙から、前記素子間分離膜に達するまで前記コントロールゲート用ポリシリコン膜、前記フローティングゲートコントロールゲート間絶縁膜および前記フローティングゲート用ポリシリコン膜を順次エッチングする工程と、

このエッチング工程で使用したレジストを除去した後、隣接するコントロールゲートに対して広い幅 $X1$ で隔てられた側のコントロールゲート側壁に側壁絶縁膜を形成すると同時に、コントロールゲート同士が距離 $X1$ で隔てられた間隙をこの側壁絶縁膜の材料と同じ材料で埋め込む工程と、

この側壁絶縁膜に挟まれた開口から、前記フローティングゲートコントロールゲート間絶縁膜とフローティングゲート用ポリシリコン膜をエッチングし、前記素子間分離膜を露出させ、フローティングゲートを島状に分離形成する工程と、

このフローティングゲートの露出した面にフローティングゲート消去ゲート間絶縁膜を形成する工程と、

この側壁絶縁膜に挟まれた開口に、消去ゲート用のポリシリコン膜を堆積した後パターニングして消去ゲートを形成する工程と、を有するフラッシュメモリの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、フラッシュ型の不

揮発性半導体記憶装置即ちフラッシュメモリ、およびその製造方法に関する。

【0002】

【従来の技術】 図15（平面図）、図16（図15のA-A'断面図）および図17（図15のB-B'断面図）に、従来のフラッシュメモリの構造を示す。この構造では、半導体基板111の表面の図15の横方向に不純物拡散層で形成された埋め込み拡散層123（123d、123s）、が複数のメモリセルに共通して設けられ、ビット線、ソース線として用いられている。埋め込み拡散層123d（ドレイン領域）と埋め込み拡散層123s（ソース領域）の間に挟まれたチャネル領域上に、フローティングゲート115がゲート絶縁膜118を介してドレイン側の一部を覆って設けられ、ソース側のチャネル領域とフローティングゲート115を覆うストライプ形状にワード線として用いられるコントロールゲート116が図15（平面図）の縦方向に設けられている。

【0003】 データの書き込みは、フローティングゲートへのホットエレクトロン注入によって行い、データの消去をフローティングゲートから消去ゲート117へのF-Nトンネル電流による電子の引き抜きによって行う。この消去ゲート117は図15の縦方向にコントロールゲート116と同方向のストライプ状に設けられており、A-A'断面で見たときには、図16に示すように一つの消去ゲートが隣合う2つのフローティングゲートに共通して設けられている。

【0004】 このフラッシュメモリの製造方法を、図15のA-A'断面で見た図18～図21を用いて説明する。

【0005】 まず、半導体基板111としてシリコン基板を用いて、図15の埋め込み拡散層123の形成位置に開口を有する適当なマスクを用いて、ヒ素等の不純物を注入してストライプ状に埋め込み拡散層123を形成する（図18では現れない。）。

【0006】 次に、図18（a）に示すように、この表面に、酸化シリコン膜を堆積した後パターニングして、平面的にはストライプ形状に素子間分離膜114を形成する。さらに、素子間分離膜114で覆われていない半導体基板の表面を酸化してゲート絶縁膜118を形成する。

【0007】 次に、図18（b）に示すように、フローティングゲート用のポリシリコン膜124を堆積し、図18の断面図では表れないが、図15の横方向のストライプ状になるようにポリシリコン膜124をパターニングする。その表面にフローティングゲートコントロールゲート間絶縁膜125（FG-CG間絶縁膜125）を形成する。

【0008】 次に、図18（c）に示すように、コントロールゲート用ポリシリコン膜126を堆積した後、そ

の表面にコントロールゲートー消去ゲート間絶縁膜 127 (CG-E G 間絶縁膜) として酸化シリコン膜を形成する。

【0009】次に、図 19 (d) に示すように、フォトレジスト 128 のパターンを用いて、コントロールゲートー消去ゲート間絶縁膜 127 とコントロールゲート用ポリシリコン膜 126 を図 15 の縦方向のストライプ状にパターンニングして、コントロールゲート 116 を形成する。

【0010】次に、図 19 (e) に示すように、フォトレジスト 128 を除去した後、全面に酸化シリコン膜を形成し、続いてエッチバックすることにより側壁絶縁膜 129 を形成する。

【0011】次に、ストライプ状のコントロールゲートー消去ゲート間絶縁膜 127 と側壁絶縁膜 129 がついたストライプ状のコントロールゲート 116 をマスクに用いて、フローティングゲート用ポリシリコン膜 124 とフローティングゲートーコントロールゲート間絶縁膜 125 を、パターンニングしてフローティングゲート 115 を島状に独立させる。さらに熱酸化によりフローティングゲート 115 の露出した面にフローティングゲートー消去ゲート間絶縁膜 130 (FG-E G 間絶縁膜 130) を形成し、図 20 (f) までの構造を完成する。

【0012】次に、図 20 (g) に示すように、消去ゲート用ポリシリコン膜 131 を堆積した後、フォトレジスト 132 を用いて消去ゲート用ポリシリコン膜 131 をパターンニングして、図 21 (h) に示すように、図 15 で見たときに縦方向のストライプ形状の消去ゲート 117 を形成する。

【0013】その後、図 21 (i) に示すように、層間絶縁膜 133 を形成し、また必要なコンタクト等を形成してフラッシュメモリを完成する。

【0014】近年、メモリの大容量化とともに、一つのメモリの占める面積が次第に小さくなってきており、コントロールゲートの幅とともにコントロールゲート同士の間隔も狭くなってきている。そうすると図 20 (f) 中に符号 140 で示したコントロールゲート間の溝は、幅が狭く深いアスペクト比の大きな溝になる。現在のフラッシュメモリの代表的な構造では、例えば素子間分離膜 114 の高さは 0.3 μm で、図 18 (b) で素子間分離膜の上に積まれるフローティングゲート用ポリシリコン膜 124 の厚さは 0.2 μm 、コントロールゲート用ポリシリコン膜の厚さは 0.15 μm 、CG-E G 間絶縁膜の厚さは 0.25 μm である。またコントロールゲートの幅、間隔は、代表的な構造では共に 0.36 μm ~ 0.4 μm 程度であり、側壁絶縁膜の厚さが 0.1 μm ~ 0.12 μm である。従って、溝 140 は、深さが 0.6 μm 程度で幅が 0.15 μm ~ 0.2 μm 程度になる。

【0015】コントロールゲート間の溝がこのような高

アスペクト比であると、製造工程の図 20 (g) から図 21 (h) に至る工程で、消去ゲート用ポリシリコン膜 131 をストライプ状にエッチングして消去ゲート 117 を分離形成する際に、溝 140 からポリシリコンを完全に除去することが難しくなり、ポリシリコンが残る場合があった。しかし、溝にポリシリコンが残ると薄い絶縁膜を介して隣接するフローティングゲート同士が容量的にカップリングし、消去信号を入れたときに、消去を行わないフローティングゲートにまで電氣的に結合して影響を及ぼす結果、データの信頼性が損なわれる問題があった。

【0016】また、メモリの周辺には、電流を測定するセンスアンプ等の回路を形成する必要があるが、これらの周辺回路の形成もできるだけ少ない工程での作製が求められており、消去ゲート用ポリシリコンを堆積してパターンニングすると同時に周辺回路のトランジスタのゲートを形成することが行われている。しかし、溝 140 のアスペクト比が大きくなると溝中のポリシリコンのエッチング量は、平坦部分に堆積された部分のエッチング量に比べて極めて大きくなるため、完全にポリシリコンを除こうとすると周辺回路部分では過剰のエッチングによりエッチングストップとして働く下地の酸化膜までエッチングされ、ソース・ドレイン領域まで侵食されトランジスタとして機能しなくなることがある。

【0017】このような問題は、さらに集積化が進みアスペクト比がさらに大きくなった場合はさらに顕著に現れる。

【0018】

【発明が解決しようとする課題】本発明は、このような従来の問題点に鑑みてなされたものであり、微細化・高集積化した場合であってもデータの信頼性が高いフラッシュメモリを提供することを目的とする。

【0019】また本発明は、このような信頼性の高いフラッシュメモリを生産性よく製造する方法を提供することを目的とする。

【0020】

【課題を解決するための手段】本発明は、半導体基板表面に設けられたソース・ドレイン領域である埋め込み拡散層と、半導体基板表面を区画するストライプ状の素子間分離膜と、この素子間分離膜で区画された領域に設けられたチャネル領域と、このチャネル領域の少なくとも一部を覆う島状のフローティングゲートと、このフローティングゲートの上方に絶縁膜を介し前記素子間分離膜と同方向のストライプ状に設けられたコントロールゲートと、このフローティングゲートおよびコントロールゲートと絶縁膜を介して前記素子間分離膜と同方向のストライプ状に設けられた消去ゲートを備え、データの消去が、前記フローティングゲートから前記消去ゲートへの電子引き抜きによって行われるフラッシュメモリにおいて、前記ストライプ状のコントロールゲートは、距離 X

1 と距離 $X2$ (但し、 $X1 > X2$ である。) により互いに交互に隔てられており、広い方の距離 $X1$ に対応する間隙を埋めるように前記消去ゲートが設けられていることを特徴とするフラッシュメモリに関する。

【0021】また本発明は、半導体基板表面に設けられたソース・ドレイン領域である埋め込み拡散層と、半導体基板表面を区画するストライプ状の素子間分離膜と、この素子分離膜で区画された領域に設けられたチャネル領域と、このチャネル領域の少なくとも一部を覆う島状のフローティングゲートと、このフローティングゲートの上方に絶縁膜を介し前記素子間分離膜と同方向のストライプ状に設けられたコントロールゲートと、このフローティングゲートおよびコントロールゲートと絶縁膜を介して前記素子間分離膜と同方向のストライプ状に設けられた消去ゲートを備え、データの消去が、前記フローティングゲートから前記消去ゲートへの電子引き抜きによって行われるフラッシュメモリの製造方法において、前記コントロールゲートを、距離 $X1$ と距離 $X2$ (但し、 $X1 > X2$ である。) により互いに交互に隔てられたストライプ状に形成する工程と、隣接するコントロールゲートに対して距離 $X1$ で隔てられた側のコントロールゲート側壁に側壁絶縁膜を形成すると同時に、コントロールゲート同士が距離 $X2$ で隔てられた間隙をこの側壁絶縁膜の材料と同じ材料で埋め込む工程とを有するフラッシュメモリの製造方法に関する。

【0022】

【発明の実施の形態】図1 (平面図)、図2 (図1のA1-A1' 断面図) および図3 (図1のB-B' 断面図) を用いて本発明のフラッシュメモリの一例を示しながら本発明を説明する。

【0023】図1に示すように、半導体基板1上に埋め込み拡散層14 (14s、14d) が複数のメモリセルに共通して、図1の平面図では横方向のストライプ状に設けられている。この不純物拡散層は、ビット線・ソース線として用いられ、図3の中央のフローティングゲート12aに注目したときは、14dで表した方がドレインとなりこれをビット線として用い、14sで表した方がソースとなりこれをソース線 (接地線) として用いる。この構成は、ソース領域、ドレイン領域に対して1対1でコンタクトをとらないので、コンタクトレスアレイ構成と呼ばれており、その中でも、さらにビット線はソースとしてもドレインとしても用いるので、バーチャルグランドアレイ構成と呼ばれている。

【0024】尚、図3で、左隣のフローティングゲート12bが選択されたときは、図中14sで表した埋め込み拡散層14sがドレインとなり、ビット線として用いることになる。このとき、図中左側のフローティングゲート12bのさらに左側に存在する不純物拡散層 (図示せず) がソースとなり、接地電位になる。同時にフローティングゲート12aは非選択状態になっており、埋め

込み拡散層14dも接地電位になっている。

【0025】埋め込み拡散層14sと14dの間のチャネル領域のドレイン側の上部に、ゲート絶縁膜3を介して島状のフローティングゲート12が設けられている。このフローティングゲートの上に絶縁膜を介して、図1の縦方向のストライプ形状のコントロールゲート11が設けられている。この例では、このコントロールゲートは、フローティングゲートが覆っていない部分のチャネル領域を絶縁膜を介して覆い、コントロールゲートによりチャネル領域の制御が可能なスプリットゲート型を構成している。

【0026】本発明において、コントロールゲートは、隣接するコントロールゲートとの間隔が交互に異なり、図1のコントロールゲート11aと11bの間は距離 $X1$ に設定されており、11bと11cの間は距離 $X2$ 、11cと11dは距離 $X1$ というように繰り返している。

【0027】そして、図1および図2に示すように、コントロールゲート間の広い方 ($X1$) の間に消去ゲート13が設けられ、狭い方 ($X2$) の間は絶縁膜21 (以下、コントロールゲート間絶縁膜 (CG間絶縁膜)) が形成されている。距離 $X2$ は、側壁絶縁膜9を形成するための絶縁材料を堆積する際にこの絶縁材料で埋まる程度の距離であり、通常は0.2 μm 以下、好ましくは0.15~0.18 μm である。

【0028】即ち、本発明の製造方法では、このCG間絶縁膜21を好ましくは側壁絶縁膜9と同じ材料で、側壁絶縁膜を形成するのと同時に形成する。このような製造方法によれば、消去ゲート用のポリシリコンを堆積する時点ですでに狭い方 (間隔 $X2$) のコントロールゲート間の溝が絶縁膜で埋められているので、狭い方の溝にポリシリコンが入り込まず、信頼性の高いフラッシュメモリを形成することができる。

【0029】尚、距離 $X1$ は、従来と同様に側壁絶縁膜をつけたときにその間が埋まらないで、消去ゲートを形成できる程度の距離であり、通常0.4~0.5 μm 程度に設定する。

【0030】また、一つのストライプ形状の消去ゲート13が隣合う縦方向 (図1で見たとき) の2列のフローティングゲートに共通して設けられ、一つのフローティングゲートには一本の消去ゲート13が対応するようになっている。即ち、消去ゲートは、平面図で見たときにフローティングゲートの列の間に、一つおきに設けられている。

【0031】尚、本発明はこのような構成に限定されるものではなく、チャネル幅が素子間分離膜の間隔で決まるような構成であれば、スプリットゲート型でないノンスプリットゲート型であっても、またコンタクトレスアレイでなくても適用することができる。

【0032】次に、本発明の製造方法の代表的な例を図

面を参照しながら詳細に説明する。

【実施形態 1】まず半導体基板 1 として、p 型シリコン基板を用いて、図 1（平面図）の横方向に開口を有するマスクを用いて、半導体基板の表面に例えばヒ素を、例えば加速エネルギー 40 keV、ドーズ量 $4 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入し、例えば窒素雰囲気下 950℃で 20 分でアニールし、埋め込み拡散層 14 を形成する。

【0033】次に、図 5（a）に示すように、厚さ約 300 nm の素子間分離膜 2 を図 1（平面図）の縦方向のストライプ形状に形成して、素子領域を分離し、表面にゲート絶縁膜 3 を形成する。

【0034】図 5（b）に示すように、CVD 法によりフローティングゲート用のポリシリコン膜 4 を厚さ約 500 nm に形成した後、図 4 に示すようなフローティングゲート用のマスク 20 を用いて、横方向の 2 つのメモリセルに跨る長方形にパターニングする。その後、フローティングゲートーコントロールゲート間絶縁膜（以下、FG-CG 間絶縁膜ともいう。）5 として、HTO（High Temperature CVD Oxidation；高温 CVD）法または熱酸化等により 30 nm 程度の酸化シリコン膜を形成する。

【0035】このときのフローティングゲート間の間隙 22 の幅は、例えば 0.2 μm 程度であり、この間隙 22 を埋め込み用絶縁膜で埋めるために、酸化シリコン膜を 0.5 μm 程度堆積した後エッチバックする。

【0036】さらに図 5（c）に示すように、その表面にコントロールゲート用のポリシリコン膜 6 を厚さ 150 nm に成膜し、さらに表面にコントロールゲートー消去ゲート間絶縁膜（以下、CG-EG 間絶縁膜ともいう。）7 として、CVD 法により酸化シリコン膜を厚さ 250 nm に形成する。

【0037】次に、図 6（d）に示すように、フォトレジスト 8 をマスクとして、CG-EG 間絶縁膜 7、ポリシリコン膜 6 をエッチングし、コントロールゲート 11 を分離する。この際、フォトレジストの開口幅として、埋め込み用絶縁膜 23 の上部で狭い幅 X2、後の工程でフローティングゲート用ポリシリコンをエッチングする部分の上部では広い幅 X1 となるように設定する。具体的には例えば X2 が 0.2 μm で、X1 が 0.4 μm 程度である。

【0038】その後全面に CVD 法により酸化シリコン膜を形成した後、エッチバックして図 6（e）に示すようにコントロールゲートの側壁に側壁絶縁膜 9 を形成すると同時に、CG 間絶縁膜 21 を形成する。この製造方法では、X2 として、このように側壁絶縁膜の形成と同時に CG 間絶縁膜 21 が形成される程度の幅を設定すればよい。

【0039】次に、図 7（f）に示すように、側壁絶縁膜 9 をマスクとして、素子間分離膜 2 が現れるまでエッ

チングし、ポリシリコン膜 4 を分離してフローティングゲート 12 を島状に分離形成する。

【0040】続いて、ウェットエッチング等により側壁絶縁膜 9 を 40～100 Å 程度後退させ、消去動作の際に、フローティングゲート 12 からの電子の引き抜きが行われるコーナーのエッジを露出させる。続いて、フローティングゲート 12 の表面に例えば HTO 法により、SiH₄ と O₂ の混合ガスを用いて、フローティングゲートー消去ゲート間絶縁膜（FG-EG 間絶縁膜ともいう）10 として酸化シリコン膜を約 20 nm の厚さに形成する。

【0041】次に、図 7（g）に示すように、消去ゲート用のポリシリコン膜 15 を全面に成膜した後、図 1 の縦方向のストライプ形状のフォトレジスト 16 をポリシリコン膜 15 の表面に形成し、ポリシリコン膜 15 をエッチングにより分離して図 8（h）に示すように消去ゲート 13 を形成する。

【0042】次に、図 8（i）に示すように、層間絶縁膜 17 を形成し、また必要なコンタクト等を形成してフラッシュメモリを完成する。

【0043】【実施形態 2】実施形態 1 と同様に、まず半導体基板 1 として、p 型シリコン基板を用いて、図 1（平面図）の横方向に開口を有するマスクを用いて、半導体基板の表面に例えばヒ素を、例えば加速エネルギー 40 keV、ドーズ量 $4 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入し、例えば窒素雰囲気下 950℃で 20 分でアニールし、埋め込み拡散層 14 を形成する。

【0044】次に、図 9（a）に示すように、厚さ約 300 nm の素子間分離膜 2 を図 1（平面図）の縦方向のストライプ形状に形成して、素子領域を分離し、表面にゲート絶縁膜 3 を形成する。

【0045】図 9（b）に示すように、CVD 法によりフローティングゲート用のポリシリコン膜 4 を厚さ約 500 nm に形成した後、図 9 の断面図には現れないが、図 1 の横方向のストライプ状になるようにポリシリコン膜 4 をパターニングし、さらにその表面に、フローティングゲートーコントロールゲート間絶縁膜（FG-CG 間絶縁膜）5 として、HTO（High Temperature CVD Oxidation；高温 CVD）法または熱酸化等により 30 nm 程度の酸化シリコン膜を形成する。

【0046】さらに図 9（c）に示すように、その表面にコントロールゲート用のポリシリコン膜 6 を厚さ 150 nm に成膜し、さらに表面にコントロールゲートー消去ゲート間絶縁膜（CG-EG 間絶縁膜）7 として、CVD 法により酸化シリコン膜を厚さ 250 nm に形成する。その上に、フォトレジスト 30 を図 1 の縦方向のストライプ状に、その開口がちょうど素子間分離膜 2 の上部にくるように形成する。このときのフォトレジスト 30 の開口幅 X1 は、例えば 0.4 μm である。

【0047】図10(d)に示すように、これをマスクとしてCG-EG間絶縁膜7をエッチングし、フォトレジスト30を除いてから、露出したポリシリコン膜6の表面を熱酸化してエッチングストッパー膜31として酸化膜を形成する。

【0048】図10(e)に示すように、表面に窒化シリコン膜を堆積した後エッチバックして、CG-EG間絶縁膜の側壁に側壁膜32を形成する。ここで、側壁膜32が付いた後の開口幅X2は例えば0.2 μ mである。

【0049】そして、図11(f)に示すように、パターンしたCG-EG間絶縁膜7同士の間隙33を一本おきに覆うフォトレジスト34を形成する。

【0050】フォトレジスト34をマスクにしてリン酸溶液80℃にて、間隙部33aの方の側壁膜(図中32a)をエッチングして除くと、CG-EG絶縁膜の間隙部33aの幅が再度X1になる。このように側壁膜32は、CG-EG絶縁膜とは異なる材料で形成され、所定のエッチング条件下で側壁膜だけを除去できるようなものであることが必要である。さらに、エッチングストッパー膜は、側壁膜を除去する条件下で、その下のコントロールゲート用の材料を保護し得る材料である必要がある。

【0051】この状態で、幅X1の間隙から図11(g)に示すようにコントロールゲート用ポリシリコン膜6を、FG-CG間絶縁膜に達するまでエッチングする。

【0052】次に図12(h)に示すように、今度は開口33aの方を覆うフォトレジスト35を形成し、側壁膜32をマスクとして幅X2の間隙から、図12(i)に示すように、素子間分離膜2に達するまでコントロールゲート用ポリシリコン膜6、FG-CG間絶縁膜5、フローティングゲート用ポリシリコン膜4を順次エッチングする。ここまでの工程で、距離X1と距離X2の間隙により互いに交互に分離された複数のコントロールゲートが形成される。

【0053】フォトレジストを除いた後、その後全面にCVD法により酸化シリコン膜を形成した後、エッチバックして図13(j)に示すようにコントロールゲートの側壁に側壁絶縁膜9を形成すると同時に、CG間絶縁膜21を形成する。この製造方法においても、X2として、このように側壁絶縁膜の形成と同時にCG間絶縁膜21が形成される程度の幅を設定すればよい。

【0054】次に、図13(k)に示すように、側壁絶縁膜9をマスクとして、素子間分離膜2が現れるまでエッチングし、ポリシリコン膜4を分離してフローティングゲート12を島状に分離形成する。

【0055】続いて、ウェットエッチング等により側壁絶縁膜9を40~100Å程度後退させ、消去動作の際に、フローティングゲート12からの電子の引き抜きが

行われるコーナーのエッジを露出させる。続いて、フローティングゲート12の表面に例えばHTO法により、SiH₄とO₂の混合ガスを用いて、フローティングゲート消去ゲート間絶縁膜(FG-EG間絶縁膜ともいう)10として酸化シリコン膜を約20nmの厚さに形成する。

【0056】次に、消去ゲート用のポリシリコン膜15を全面に成膜した後、図1の縦方向のストライプ形状のフォトレジスト16をポリシリコン膜15の表面に形成し、ポリシリコン膜15をエッチングにより分離して図14(1)に示すように消去ゲート13を形成する。

【0057】次に、図14(m)に示すように、層間絶縁膜17を形成し、また必要なコンタクト等を形成してフラッシュメモリを完成する。

【0058】実施形態1および実施形態2を用いて説明した製造方法では、消去ゲートを形成しない方のコントロールゲート間隙が、消去ゲート形成用のポリシリコンを堆積する前に、埋められているので、溝に不要なポリシリコンが残ることがなく信頼性の高いフラッシュメモリを形成することができる。また、消去ゲートのパターンに必要なエッチング量は、CG-EG間絶縁膜の上に堆積しているポリシリコン厚だけでよく、これは周辺回路部分に堆積したポリシリコン厚と同じであるため、周辺回路も生産性よく製造することができる。

【0059】

【発明の効果】本発明によれば、微細化・高集積化した場合であってもデータの信頼性が高いフラッシュメモリを提供することができる。

【0060】また本発明によれば、このような信頼性の高いフラッシュメモリを生産性よく製造する方法を提供することができる。

【図面の簡単な説明】

【図1】本発明のフラッシュメモリの構造の1例を示す平面図である。

【図2】図1のA1-A1'断面を示す図である。

【図3】図1のB-B'断面を示す図である。

【図4】本発明のフラッシュメモリの製造方法の1例において用いられるフローティングゲートのマスクパターンを示す図である。

【図5】実施形態1で示した本発明のフラッシュメモリの製造方法を示す図である。

【図6】図5に引き続きフラッシュメモリの製造方法を示す図である。

【図7】図6に引き続きフラッシュメモリの製造方法を示す図である。

【図8】図7に引き続きフラッシュメモリの製造方法を示す図である。

【図9】実施形態2で示した本発明のフラッシュメモリの製造方法を示す図である。

【図10】図9に引き続きフラッシュメモリの製造方法

を示す図である。

【図 11】図 10 に引き続きフラッシュメモリの製造方法を示す図である。

【図 12】図 11 に引き続きフラッシュメモリの製造方法を示す図である。

【図 13】図 12 に引き続きフラッシュメモリの製造方法を示す図である。

【図 14】図 13 に引き続きフラッシュメモリの製造方法を示す図である。

【図 15】従来のフラッシュメモリの構造の 1 例を示す平面図である。

【図 16】図 15 の A-A' 断面を示す図である。

【図 17】図 15 の B-B' 断面を示す図である。

【図 18】従来のフラッシュメモリの製造方法 1 例を示す図である。

【図 19】図 18 に引き続き従来のフラッシュメモリの製造方法 1 例を示す図である。

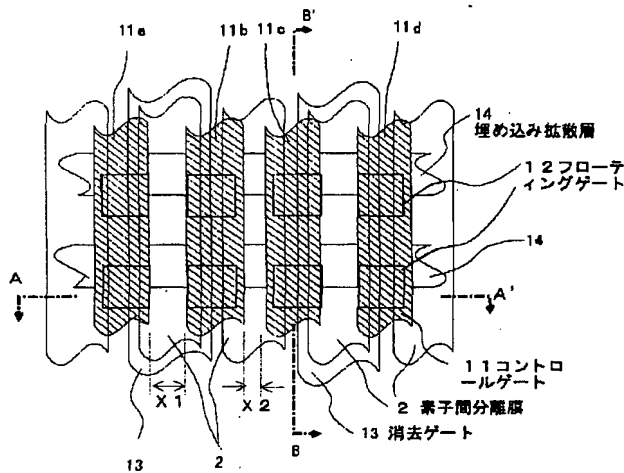
【図 20】図 19 に引き続き従来のフラッシュメモリの製造方法 1 例を示す図である。

【図 21】図 20 に引き続き従来のフラッシュメモリの製造方法 1 例を示す図である。

【符号の説明】

- 1 半導体基板
- 2 素子間分離膜
- 3 ゲート絶縁膜
- 4 フローティングゲート用のポリシリコン膜

【図 1】



5 フローティングゲート-コントロールゲート間絶縁膜 (FG-CG 間絶縁膜) 6 コントロールゲート用のポリシリコン膜

7 コントロールゲート-消去ゲート間絶縁膜 (CG-EG 間絶縁膜)

8 フォトリソグ

9 側壁絶縁膜

10 フローティングゲート-消去ゲート間絶縁膜 (FG-EG 間絶縁膜)

11 コントロールゲート

12、12a、12b フローティングゲート

13 消去ゲート

14、14s、14d 埋め込み拡散層

15 消去ゲート用のポリシリコン膜

16 フォトリソグ

17 層間絶縁膜

20 フローティングゲート用のマスク

21 コントロールゲート間絶縁膜 (CG 間絶縁膜)

22 フローティングゲート間の間隙

23 埋め込み用絶縁膜

30 フォトリソグ

31 エッチングストッパー膜

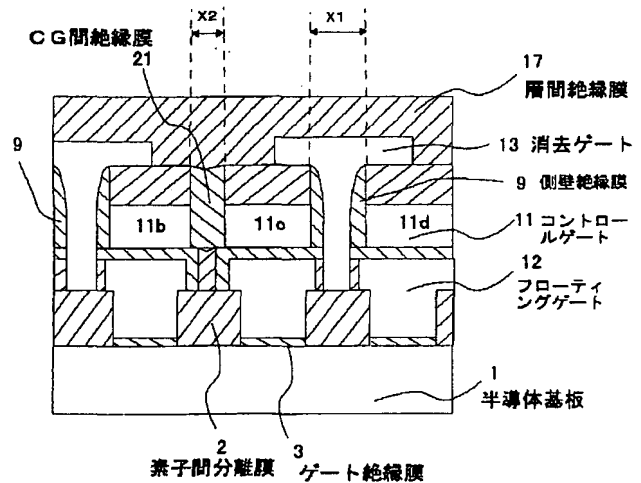
32 側壁膜

33、33a、33b 間隙

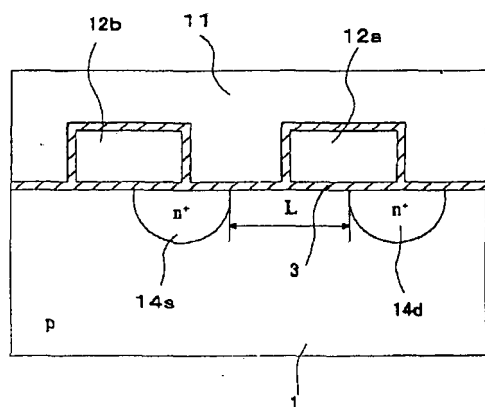
34 フォトリソグ

35 フォトリソグ

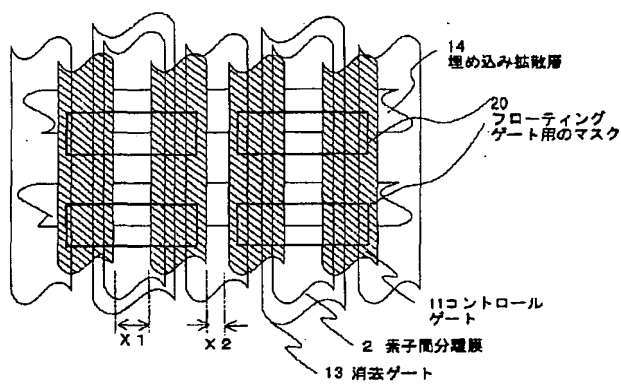
【図 2】



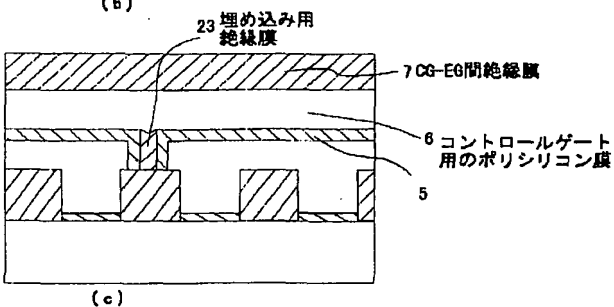
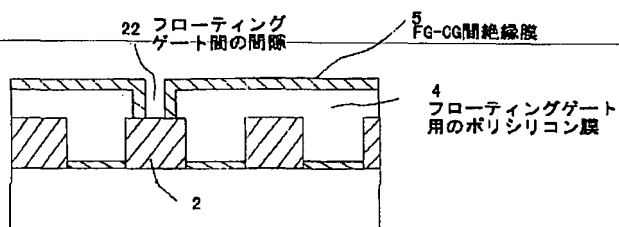
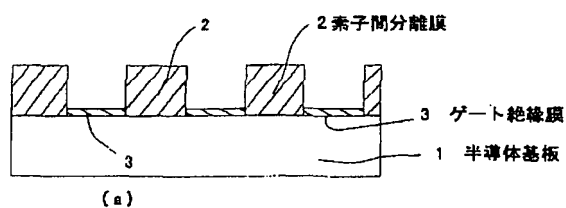
【図3】



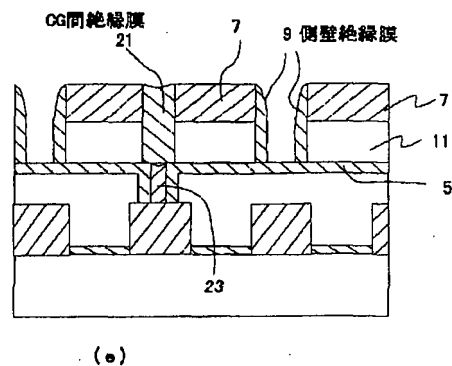
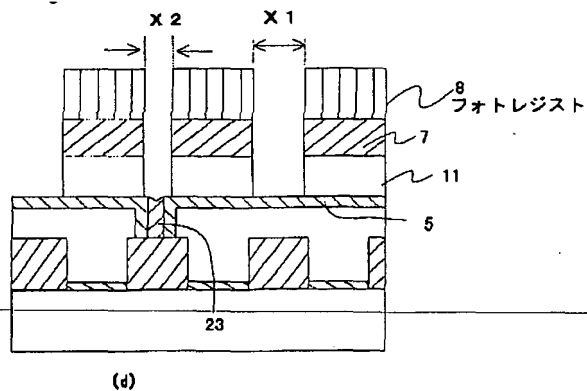
【図4】



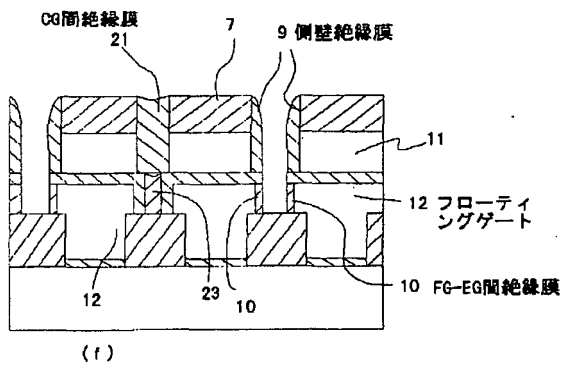
【図5】



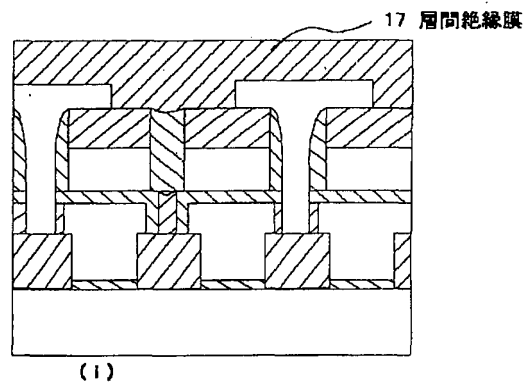
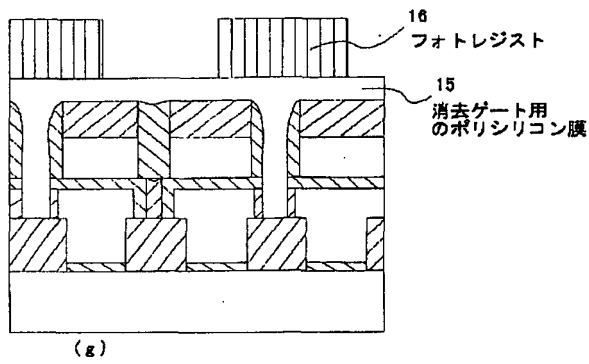
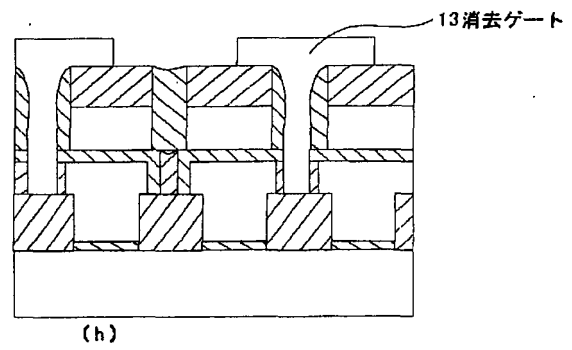
【図6】



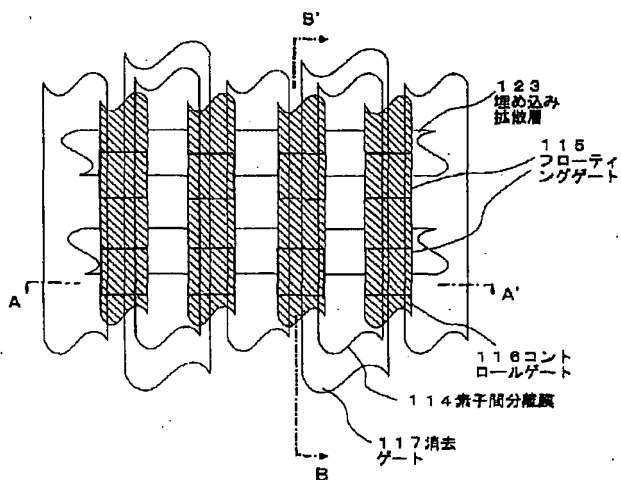
【図 7】



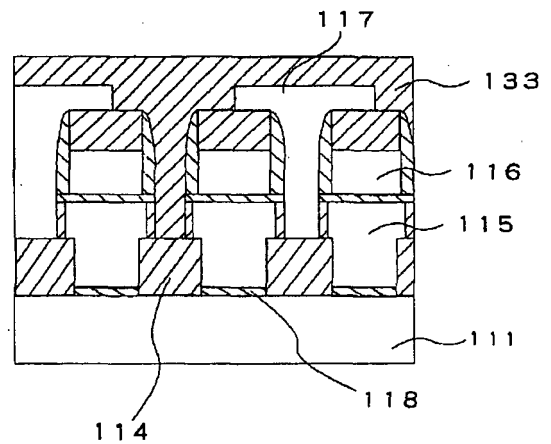
【図 8】



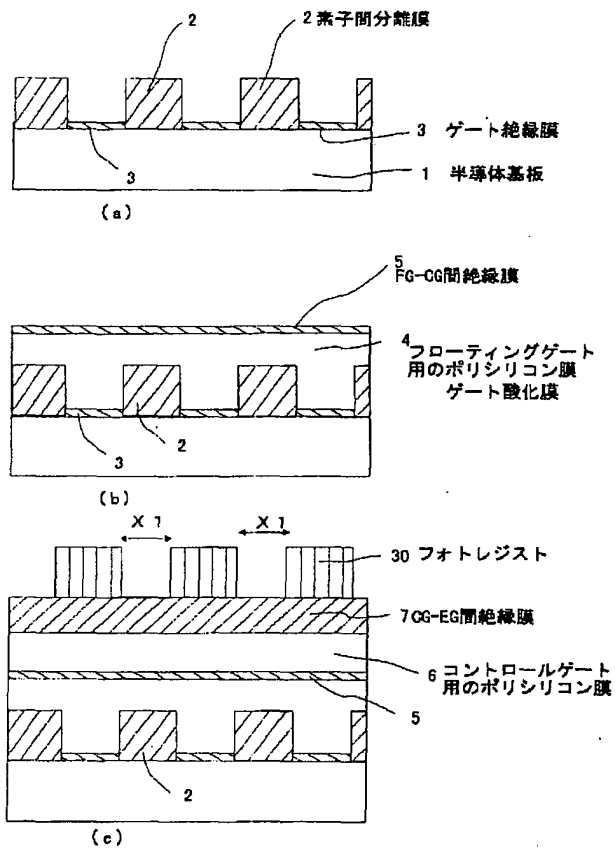
【図 15】



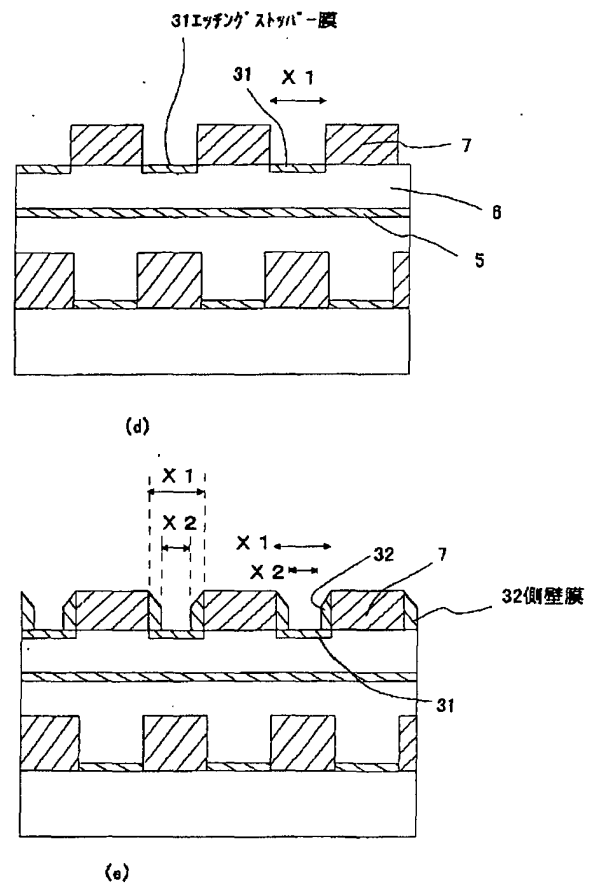
【図 16】



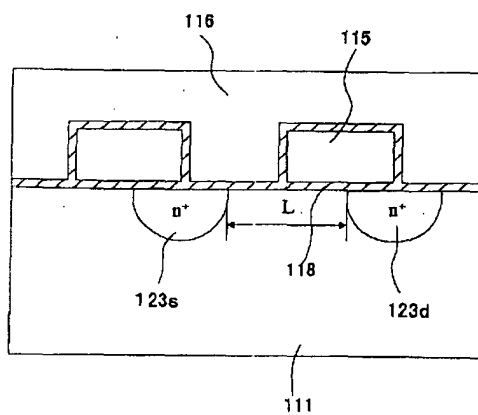
【図 9】



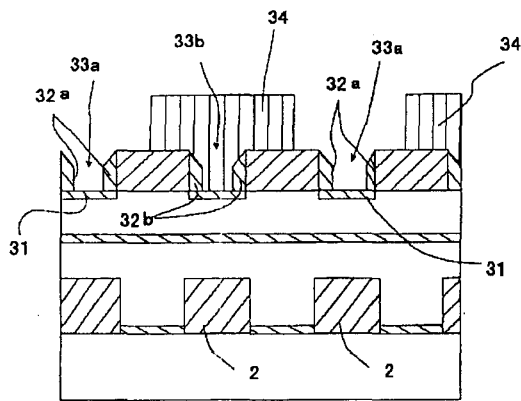
【図 10】



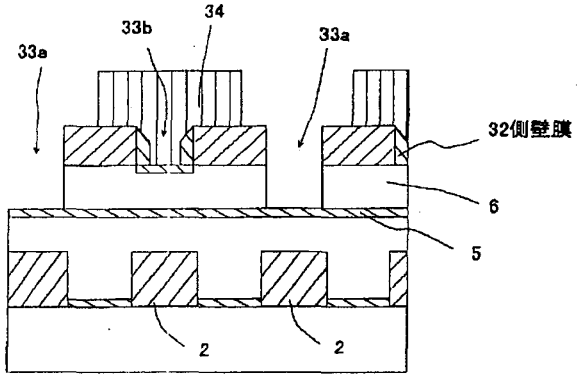
【図 17】



【図 11】

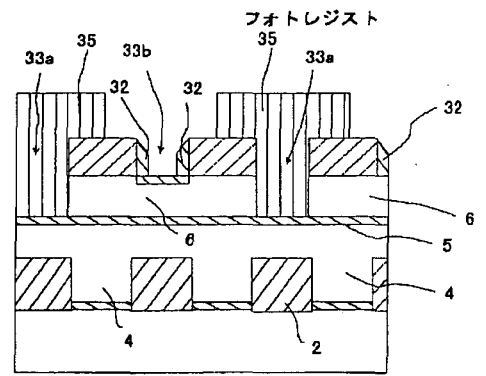


(f)

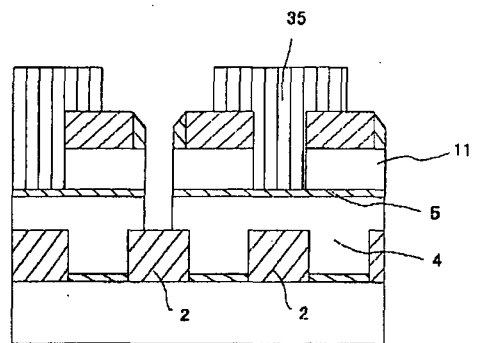


(g)

【図 12】

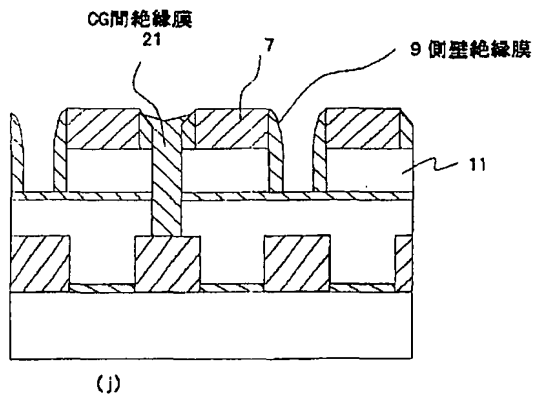


(h)

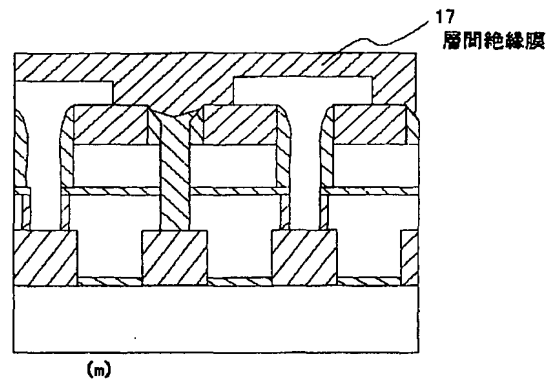
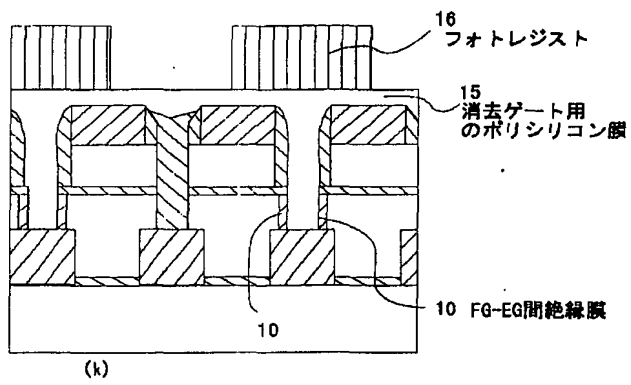
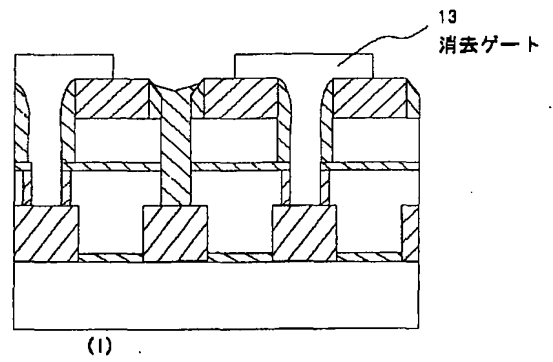


(i)

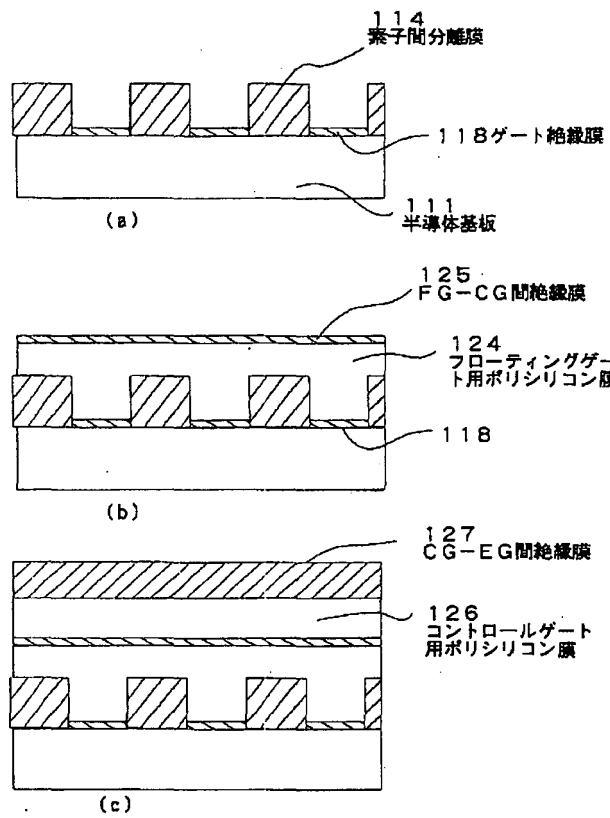
【図 13】



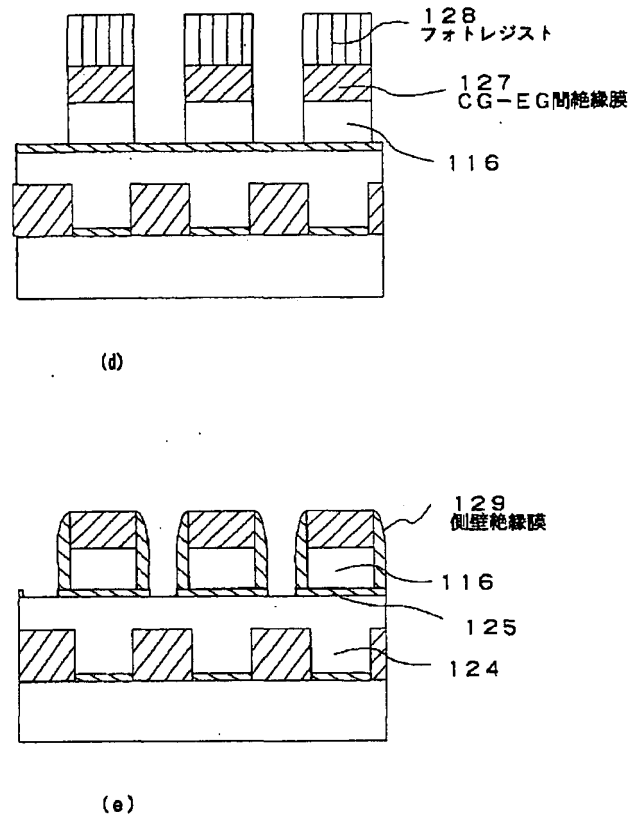
【図 14】



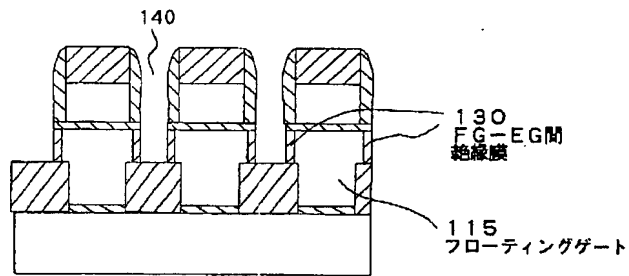
【図18】



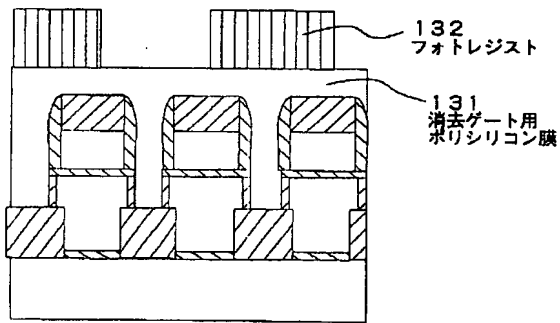
【図19】



【図 20】

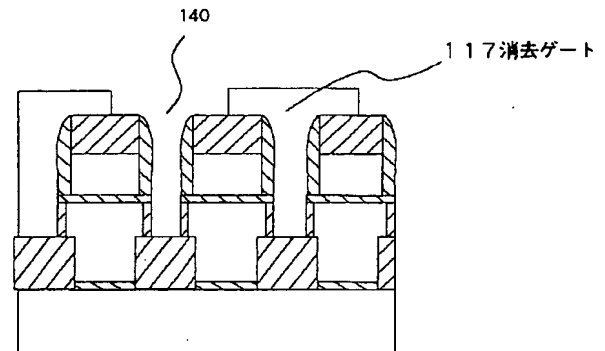


(f)

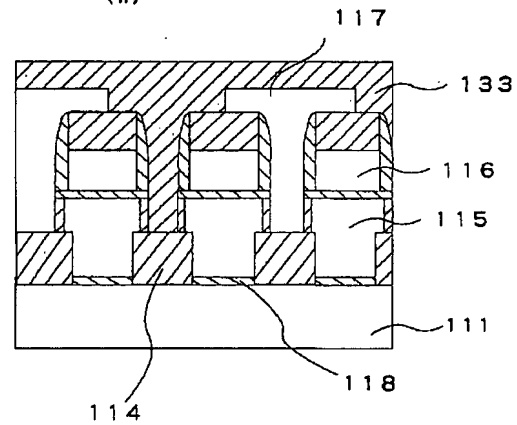


(g)

【図 21】



(h)



(i)

フロントページの続き

(72) 発明者 斎藤 賢治
東京都港区芝五丁目 7 番 1 号 日本電気株
式会社内

F ターム(参考) 5F001 AA25 AB07 AB20 AC02 AC06
AD51 AD52 AD60 AE02 AE08
AF06 AF07 AG02 AG10 AG12
AG21 AG29 AG30
5F083 EP02 EP22 EP30 ER02 ER18
ER22 GA09 GA27 JA02 KA01
KA05 LA12 LA16 NA02 PR03
PR05 PR12 PR21 PR33 PR36
PR39